

LVDS 四通道 CMOS 接收器

产品简述

MS90C032/MS90C032T 是一款低功耗、高数据传输率的四通道 CMOS 差分 LVDS 信号接收芯片。主要功能是接收低压(350 mV)差分信号并转化成 CMOS (与 TTL 兼容) 输出电平, 且支持输入开路、短路、错误偏置和三态输出功能。其支持的数据接收率超过 155.5 Mbps (77.7 MHz)。MS90C032 采用 SOP16 封装, MS90C032T 采用 TSSOP16 封装。

MS90C032/MS90C032T 和 LVDS 驱动 MS90C031 可以提供高速点对点接口应用。

主要特点

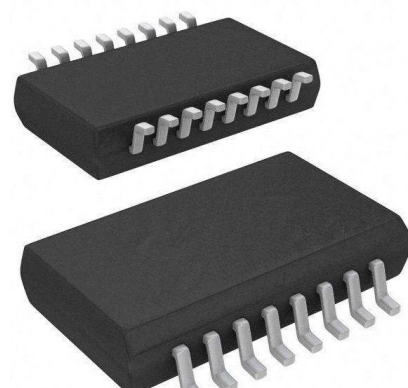
- 大于 155.5Mbps(77.7MHz)开关速率
- 低功耗
- 最大 600ps 通道传输延时差
- 最大 6.0ns 传输延时
- 支持输入开路状态
- 支持输入短接和错误偏置
- 与 IEEE 1596.3 SCI LVDS、ANSI
- 与 TIA/EIA-644 LVDS 标准兼容
- 可应用于 SMD5962-95834 标准
- SOP16、TSSOP16 封装

应用

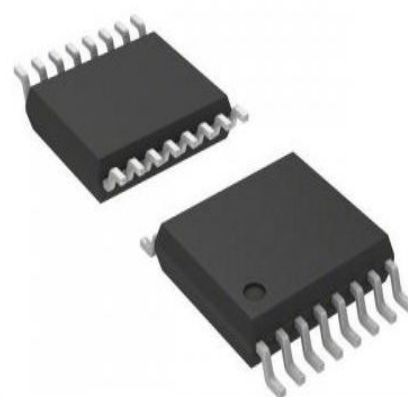
- 平板显示接口
- 高速数据通信
- 监控摄像机

产品规格分类

产品	封装形式	丝印名称	封装连线材质
MS90C032	SOP16	MS90C032	金丝
MS90C032T	TSSOP16	MS90C032T	金丝
MS90C032B	SOP16	MS90C032B	铜丝
MS90C032TB	TSSOP16	MS90C032TB	铜丝

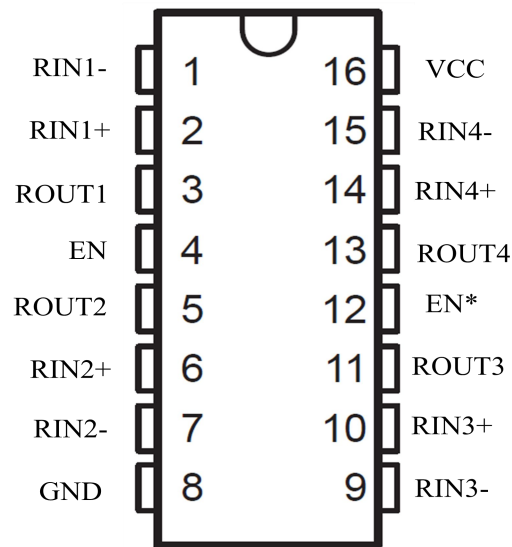


SOP16



TSSOP16

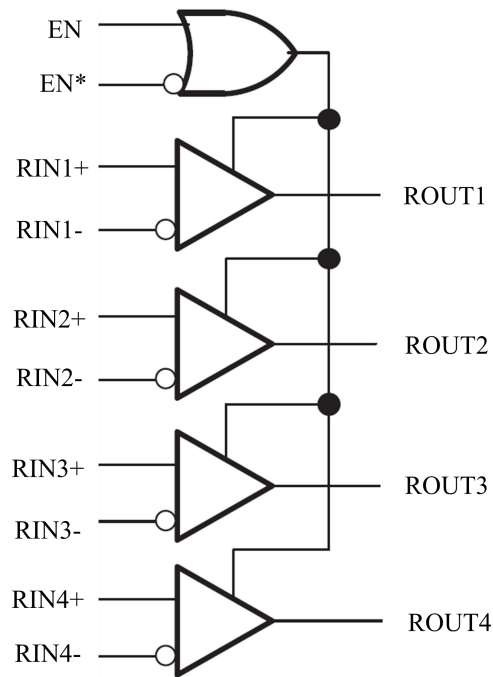
管脚排列图



管脚排列

管脚编号	管脚名称	管脚属性	管脚描述
1	RIN1-	I	通道 1 反相信号输入端
2	RIN1+	I	通道 1 同相信号输入端
3	ROUT1	O	通道 1 信号输出端
4	EN	I	使能同相信号输入端
5	ROUT2	O	通道 2 信号输出端
6	RIN2+	I	通道 2 同相信号输入端
7	RIN2-	I	通道 2 反相信号输入端
8	GND	POWER	地
9	RIN3-	I	通道 3 反相信号输入端
10	RIN3+	I	通道 3 同相信号输入端
11	ROUT3	O	通道 3 信号输出端
12	EN*	I	使能反相信号输入端
13	ROUT4	O	通道 4 信号输出端
14	RIN4+	I	通道 4 同相信号输入端
15	RIN4-	I	通道 4 反相信号输入端
16	VCC	POWER	电源

内部框图



功能表

使能端		输入	输出
EN	EN*	(RIN+) - (RIN-)	Rout
L	H	X	Z
其它情况		$VID \geq 0.1V$	H
		$VID \leq 0.1V$	L
		其它	H

极限参数

绝对最大额定值

注意：应用中任何情况下都不允许超过下表中的最大额定值

参 数	符 号	额 定 值	单 位
电源电压范围	VCC	-0.3V 至 6V	V
输入电压范围	(RIN+, RIN-)	-0.3 至 Vcc+0.3	V
输入电压范围	(EN,EN*)	-0.3 至 Vcc+0.3	V
输出电压范围	(Rout)	-0.3 至 Vcc+0.3	V
最大结温		+150	°C
储存温度范围	T _{stg}	-60 至 150	°C
ESD 电压(HBM)		≥ 3500	V
ESD 电压(EIAJ)		≥ 250	V

工作电源电压范围

参 数	符 号	参 数 范 围			单 位
		最 小	标 准	最 大	
电源电压范围	VCC	2.5	5	5.5	V
输入电压		GND		2.4	V
工作温度		-40	25	125	°C

电气参数

在电源电压和工作温度范围之内，见注 2。

参数	符号	条件		最小值	典型值	最大值	单位
输入高电平	VTH	Vcm=+1.2V				+100	mV
输入低电平	VTL			-100			mV
输入电流	IIN	Vin=2.4V	Vcc=5.5V	-10	±1	+10	uA
		Vin=0V		-10	±1	+10	uA
输出高电平	VOH	IOH = -0.4 mA, VID = +200 mV		3.8	4.9		V
		IOH = -0.4 mA, Input terminated		3.8	4.9		V
输出低电平	VOL	IOL = 2 mA, VID = -200 mV			0.07	0.3	V
输出短路电流	IOS	Enabled, Vout = 0V		-15	-60	-100	mA
输出三态电流	IOZ	Disabled, Vout = 0V or Vcc		-10	±1	+10	uA
输入高电平	VIH	EN EN* 端口		2.0			V
输入低电平	VIL					0.8	V
输入电流	II			-10	±1	+10	uA
输入钳位电流	VCL			ICL = -18 mA	-1.5	-0.8	
空载工作电流	ICC	EN, EN* = Vcc 或 GND, 输入开路			3.5	10	mA
		EN, EN* = 2.4 or 0.5, 输入开路			3.7	11	mA
空载静态电流	ICCZ	EN = GND, EN* = Vcc, 输入开路			3.5	10	mA

开关特性

VCC = +5.0V, TA = +25°C, 注 3, 4, 5, 9

参数	符号	条件	最小值	典型值	最大值	单位
高到低电平传输延时	tPHLD	CL=5pF VID=200mV (图 1 和 图 2)	1.50	3.40	5.0	ns
低到高电平传输延时	tPLHD		1.50	3.48	5.0	ns
延时偏差 tPHLD-tPLHD	tSKD		0	80	600	ps
通道延时偏差	tSK1		0	0.6	1.0	ns

上升时间		t_{TLH}		0.5	2.0	ns
下降时间		t_{THL}		0.5	2.0	ns
传 输 延 时	高电平到高阻态	t_{PHZ}	CL=10pF RL=2KΩ (图 3 和 图 4)	10	15	ns
	低电平到高阻态	t_{PLZ}		10	15	ns
	高阻态到高电平	t_{PZH}		4	10	ns
	高阻态到低电平	t_{PZL}		4	10	ns

开关特性

VCC = +5.0V±10%, TA = -40 至+85°C, 注 3, 4, 5, 6, 9

参数		符号	条件	最小值	典型值	最大值	单位
高到低电平传输延时		t_{PHLD}	CL=5pF VID=200mV (图 1 和 图 2)	1.0	3.40	6.0	ns
低到高电平传输延时		t_{PLHD}		1.0	3.48	6.0	ns
延时偏差 $t_{PHLD}-t_{PLHD}$		t_{SKD}		0	0.08	1.2	ns
通道延时偏差		t_{SK1}		0	0.6	1.5	ns
芯片间延时偏差		t_{SK2}				5.0	ns
上升时间		t_{TLH}			0.5	2.5	ns
下降时间		t_{THL}			0.5	2.5	ns
传 输 延 时	高电平到高阻态	t_{PHZ}	CL=10pF RL=2KΩ (图 3 和 图 4)	10	20	ns	
	低电平到高阻态	t_{PLZ}		10	20	ns	
	高阻态到高电平	t_{PZH}		4	15	ns	
	高阻态到低电平	t_{PZL}		4	15	ns	

注 1: 极限参数范围是器件的安全工作范围, 器件正常工作应在其工作条件标注的范围之内。

注 2: 流入器件的电流定义为正电流, 流出器件的电流定义为负电流, 表中显示的电压值均相对于地电压 0。

注 3: 所有典型值均在 VCC =+5.0V, TA=+25°C 下测得。

注 4: 测试电路所加波形为: 对于输入 LVDS 信号, $f=1\text{MHz}, Z_0=50\Omega, t_r$ 和 $t_f (0\%-100\%) \leq 1\text{ns}$; 对于使能信号 EN 和 EN*, t_r 和 $t_f \leq 6\text{ns}$ 。

注 5: 通道间延时偏差定义为: 对于同一个输入信号, 不同通道延时的差值。

注 6: 芯片延时差定义为: 对于同一个输入信号, 不同芯片延时的差值。

注 7: ESD:

HBM (1.5 kΩ, 100 pF) ≥ 3,500V

EIAJ (0Ω, 200 pF) ≥ 250V

注 8: 输出短路电流(IOS)大小指幅度, 负号表示电流方向, 为了保证工作在在最大结温范围之内, 一次只短接一个通道的输出。

注 9: 负载电容包括表笔和焊接端电容和。

测试电路

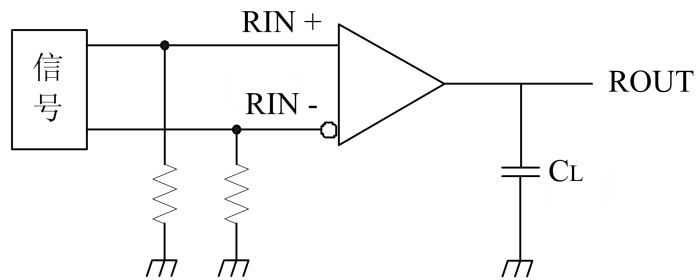


图1 传输延时和转变时间测试电路

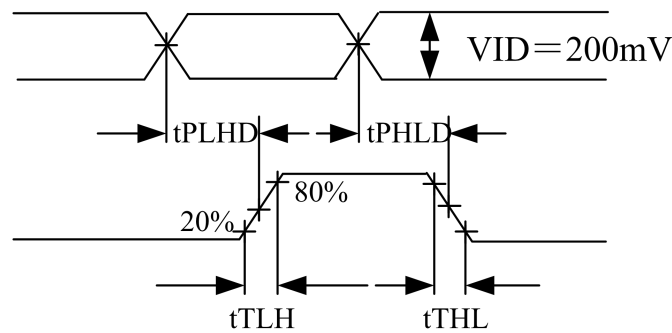


图2 传输延时和转变时间波形图

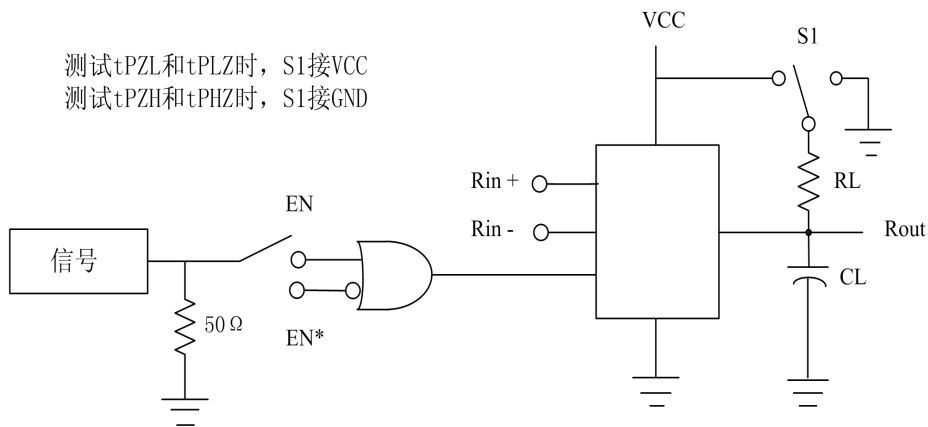


图3 三态延时测试电路

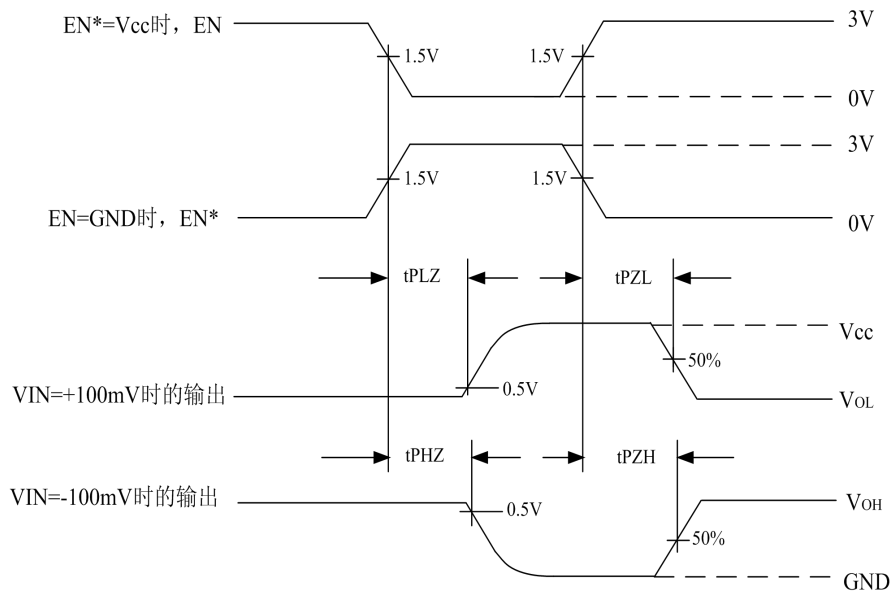
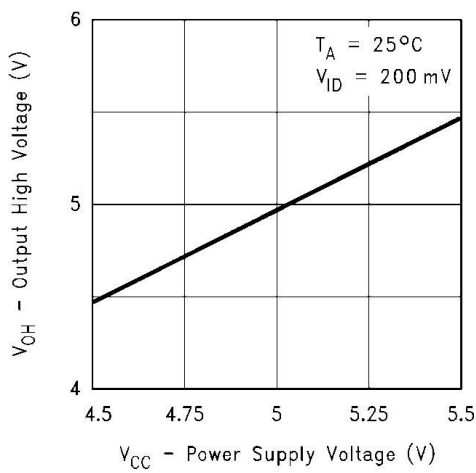
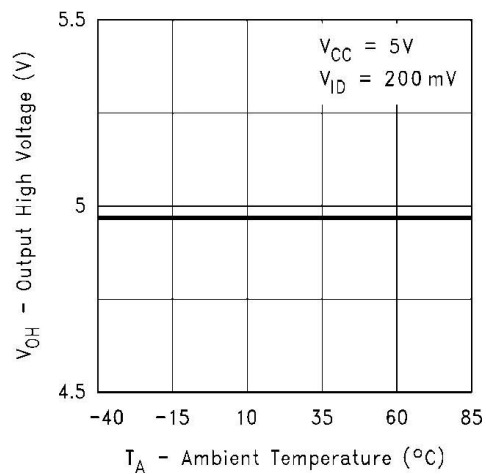


图4 三态传输波形

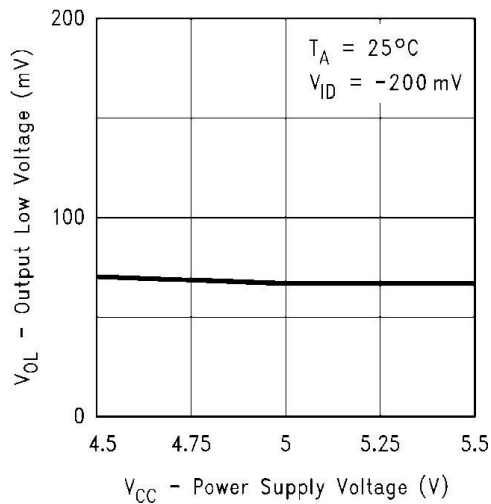
典型特性曲线



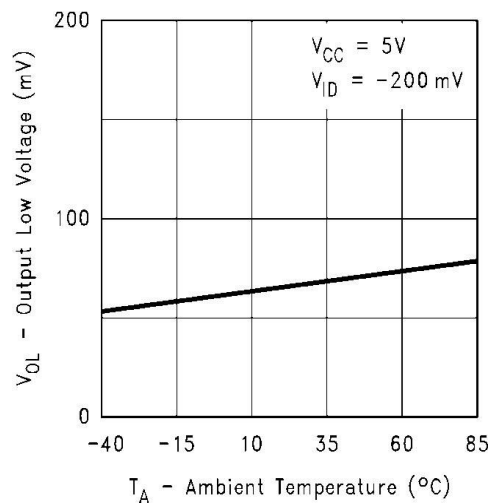
输出高电平相对于电源电压



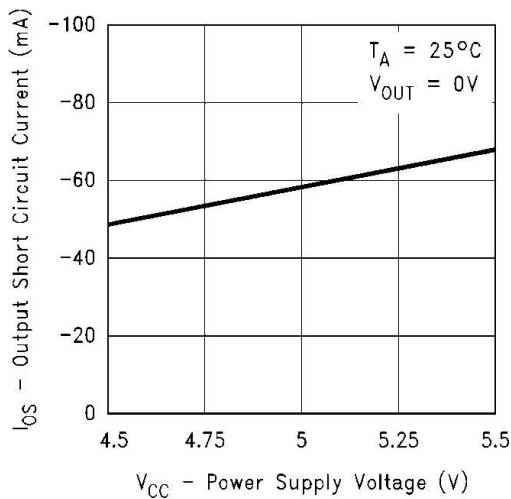
输出高电平相对于温度



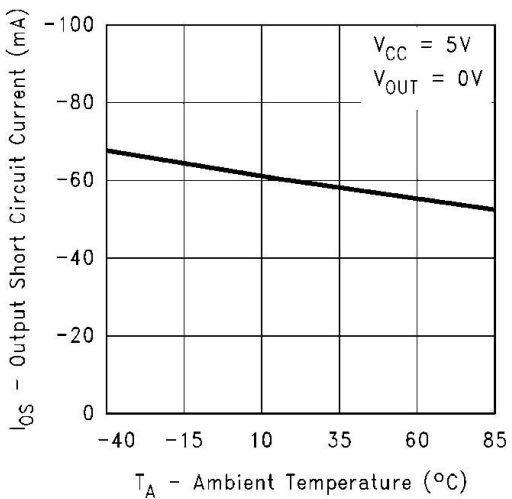
输出低电平相对于电源电压



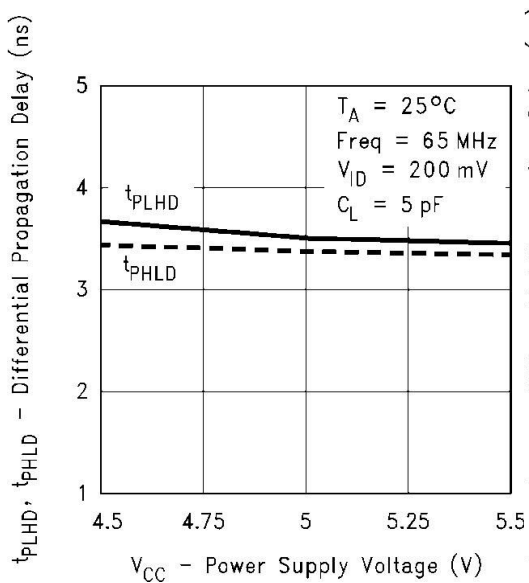
输出低电平相对于温度



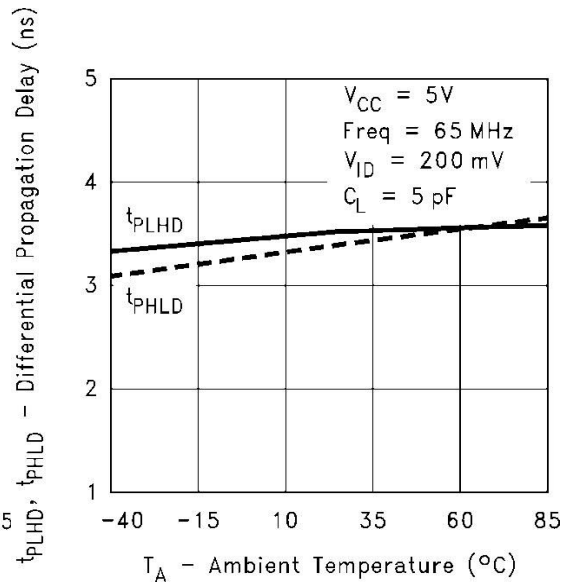
输出短路电流相对于电源电压



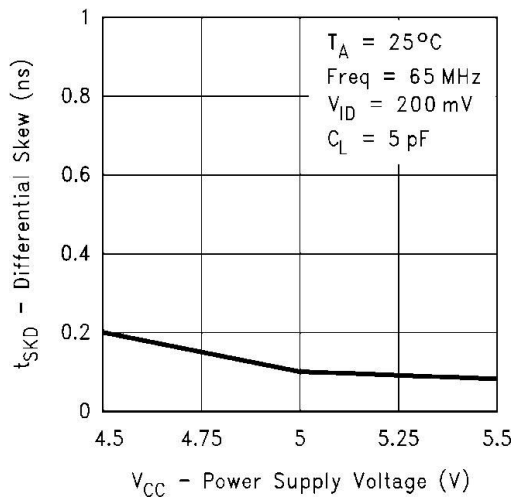
输出短路电流相对于温度



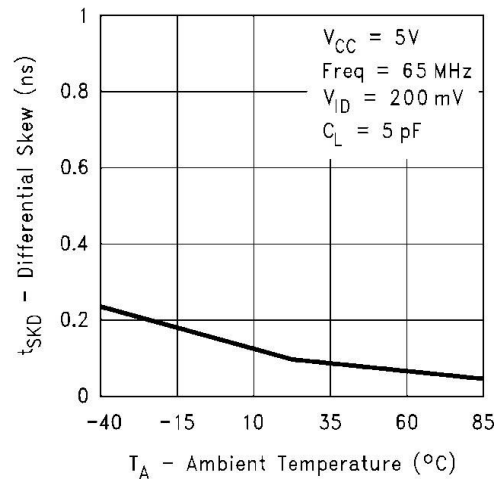
差分传输延时相对于电源电压



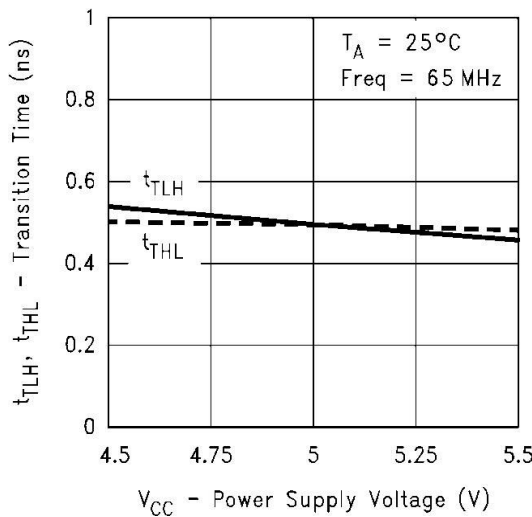
差分传输延时相对于温度



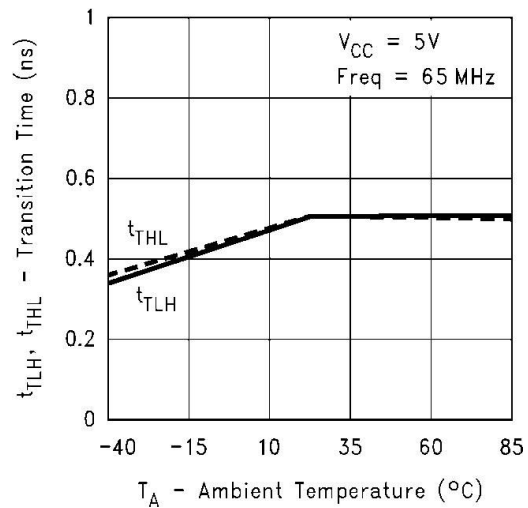
通道延时偏差相对于电源电压



通道延时偏差相对于温度

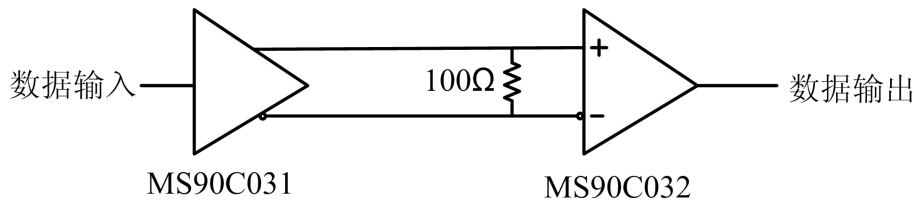


电平跳变时间相对于电源电压



电平跳变时间相对于温度

典型应用图



LVDS 驱动和接受芯片主要应用于图 5 所示中不复杂的点对点结构中，这种结构对于高速数据率信号提供了一个干净的传输环境，传输介质可以是双绞线、电缆、PCB 布线，典型的传输介质阻抗小于 100Ω 。为了匹配传输介质阻抗，应在差分输入端接 100Ω 的端电阻，且距离器件输入端口越近越好，端电阻把电流信号转化为电压信号提供给 MS90C032/MS90C032T。对于其他如多接受器结构，必须考虑中间连接器、电缆接口等阻抗匹配和噪声阈值范围。

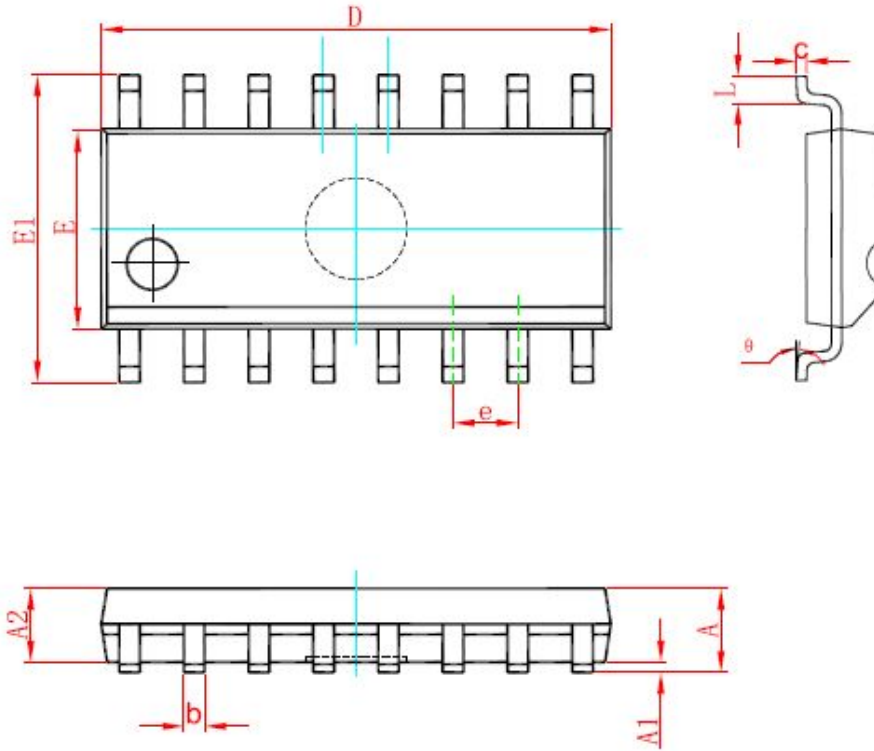
MS90C032/MS90C032T 可以检测幅度从 100mV 到 $\pm 1\text{V}$ 、共模点在 1.2V 附近的差分 LVDS 信号。差分输入端输入电压范围是 0V 至 2.4V ，超过这个电压范围可能触发 ESD 保护电路后会钳位总线电压。

接受失效状态：LVDS 接收芯片 MS90C032/MS90C032T 是一个高速、高增益器件，可以把低压差分信号 (20mV) 放大为 CMOS 逻辑电平，由于其高增益，所以必须考虑输入端噪声幅度的影响。考虑到接受失效状态，即输入端开路、短路和错误偏置，内部电路设置了保护电路，使得输出为高电平。

- 1、输入端开路：MS90C032/MS90C032T 是四通道接受器，当只用其中一个通道时，其他通道输入端应该处在开路状态。
- 2、输入端短接：当 LVDS 驱动器处于三态输出或断电时，MS90C032/MS90C032T 的输入端等效为通过 100Ω 电阻短接，此时输出高电平；当驱动端断开时，总线电缆助于悬浮状态，可以看成是一个捕获噪声的天线，会在接收器输入端有一个噪声电压，当噪声幅度超过 10mV 时，接收器就会把噪声转化为逻辑电平，因此在实际应用中，为了把噪声转化为共模信号，建议使用绞合电缆等平衡传输介质。
- 3、输入直接短接：当接收器输入端直接短接时，输出仍为高电平。此时仅适用于无外部共模电平。

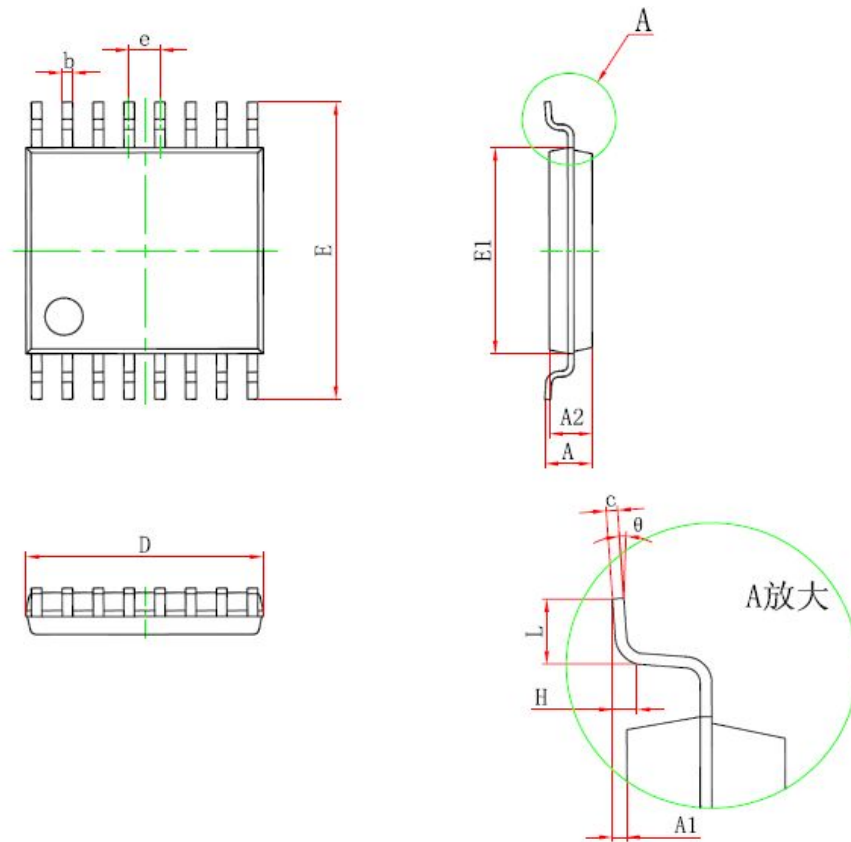
封装外形图

SOP16



符号	毫米		英寸	
	最小	最大	最小	最大
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	9.800	10.200	0.386	0.402
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

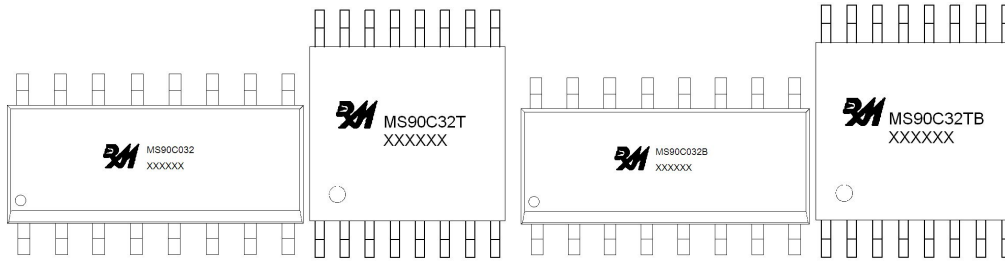
TSSOP16



Symbol	毫米		英寸	
	最小	最大	最小	最大
D	4.900	5.100	0.193	0.201
E	6.250	6.550	0.246	0.258
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	4.300	4.500	0.169	0.177
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65(BSC)		0.026(BSC)	
L	0.400	1.270	0.016	0.050
H	0.25(TYP)		0.01(TYP)	
theta	1°	7°	1°	7°

包装规范

一、印章内容介绍



MS90C032/MS90C032T、MS90C032/MS90C032TB: 产品型号

XXXXXX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

三、包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS90C032	SOP16	2500	1	2500	8	20000
MS90C032T	TSSOP16	3000	1	3000	8	24000
MS90C032B	SOP16	2500	1	2500	8	20000
MS90C032TB	TSSOP16	3000	1	3000	8	24000



MOS电路操作注意事项：

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。