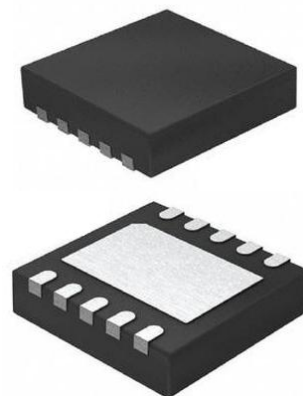


## LVDS 两通道总线驱动器

### 产品简述

MS2652D 是一款低功耗、高数据传输率的两通道 CMOS 差分 LVDS 信号总线驱动芯片，其支持的数据接收率超过 155.5 Mbps (77.7 MHz)。MS2652D 将接 TTL/CMOS 输入信号，转换成低压 (350mV) 的差分输出信号。芯片驱动器还支持三态输出功能，可以用来关断输出驱动级，通过关断输出电流可以得到 11mW 的静态功耗。芯片还具有掉电关断功能，当 VCC 开路时，LVDS 输出呈高阻态，此功能可以在掉电时保持 LVDS 总线上最小负载。



DFN10

### 主要特点

- 大于 155.5Mbps(77.7MHz)开关速率
- 掉电时 LVDS 输出高阻态
- $\pm 350\text{mV}$  差分输出信号
- 低功耗
- 最大 400ps 通道传输延时差 (5V, 25°C)
- 最大 3.5ns 传输延时
- 工业级温度应用范围
- 与 ANSI/TIA/EIA-644 LVDS 标准兼容
- DFN10 封装

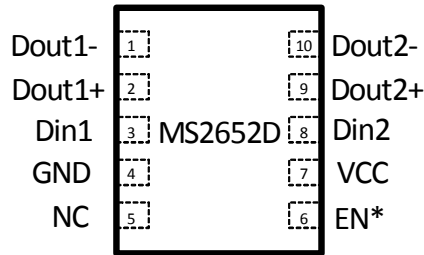
### 应用

- 平板显示接口
- 高速数据通信
- 监控摄像机

### 产品规格分类

产品	封装形式	丝印名称
MS2652D	DFN10	MS2652D

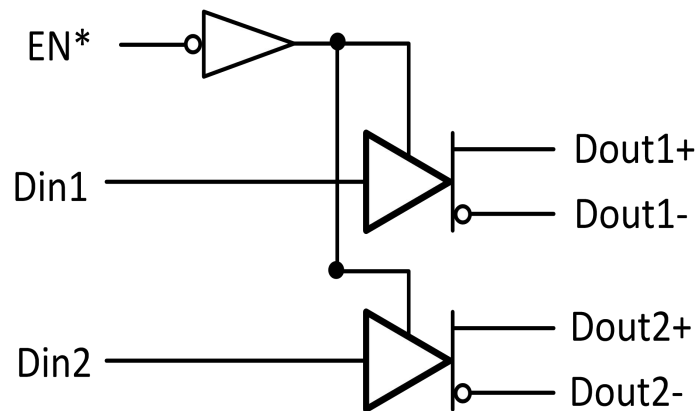
管脚排列图



管脚排列

管脚序号	名称	管脚说明
3, 8	Din	CMOS/TTL 信号输入
2, 9	Dout+	正向 LVDS 输出
1, 2	Dout-	反向 LVDS 输出
4	GND	地
5	NC	无连接
6	EN*	低电平有效
7	VCC	电源, +5V ± 10%

内部框图



功能表

使能端	输入	输出	
EN*	Din	Dout+	Dout-
H	X	Z	Z
其它情况	L	L	H
	H	H	L

## 极限参数

### 绝对最大额定值

注意：应用中任何情况下都不允许超过下表中的最大额定值

参 数	符 号	额 定 值	单 位
电源电压范围	VCC	-0.3V 至 6V	V
输入电压范围	Din	-0.3 至 Vcc+0.3	V
输入电压范围	EN,EN*	-0.3 至 Vcc+0.3	V
输出电压范围	Dout+, Dout-	-0.3 至 Vcc+0.3	V
最大结温	Tj	+150	°C
储存温度范围	Tstg	-60 至 150	°C
ESD 电压(HBM)	1.5 kΩ, 100 pF	≥ 3500	V

### 工作电源电压范围

参 数	符 号	参 数 范 围			单 位
		最 小	标 准	最 大	
电源电压范围	VCC	2.5	5	5.5	V
工作温度		-40	25	125	°C

## 电气参数

(VCC = +5.0V, TA = +25°C)

参数	描述	管脚	条件	最小	典型	最大	单位
Vod1	差分输出电压	Dout- Dout+	RL=100Ω (图 1)	350	425	500	mV
ΔVod1	差分输出电压差异 (互补输出)				4	35	mV
Vos	共模输出电压			1.34	1.47	1.60	V
ΔVos	共模输出电压差异 (互补输出)				5	25	mV
VOH	输出高电平	RL=100Ω		1.68	1.78	V	
VOL	输出低电平		0.90	1.25	V		
VIH	输入高电平	Din, EN*		2.0	VCC	V	
VIL	输入低电平			GND	0.8	V	
Iin	输入电流		Vin=Vcc, GND, 2.5V, or 0.4V	-10	±1	+10	uA
VCL	输入嵌位电压		ICL=-18mA	-1.5	-0.8	V	
IOS	输出短路电流	Dout- Dout+	Vout=0V (注 8)		-3.5	-5.0	mA
IOZ	输出三态电流		EN=0.8V, EN*=2.0V, Vout =0 或 VCC	-10	±1	+10	uA
IOFF	断电电流	VCC	Vo=0V, 或 2.4V Vcc=0V 或 开路	-10	±1	+10	mA
ICC	驱动有效时 空载电源电流		Din=Vcc 或 GND		1.7	3.0	mA
			Din=2.5V 或 0.4V		4.0	6.5	
ICCL	驱动有效时带负载 电源电流		RL=100Ω Vin=Vcc 或 GND		15.4	21.0	mA
ICCZ	驱动无效时 空载电源电流	Din=Vcc 或 GND EN=GND, EN*=Vcc		2.0	4.0	mA	

### 开关特性 1

VCC = +5.0V, TA = +25°C, (注 3, 6, 9)

参数	描述	条件	最小	典型	最大	单位	
tPHLD	差分传播延时 (高到低)	RL=100Ω, CL=5pF 图 2 和图 3	1.0	2.0	3.0	ns	
tPLHD	差分传播延时 (低到高)		1.0	2.0	3.0	ns	
tSDK	差分传播延时差  tPHLD-tPLHD		0	80	400	ps	
tSK1	通道传播延时差 (注 4)		0	300	600	ps	
tTLH	上升沿时间			0.35	1.5	ns	
tRHLD	下降沿时间				0.35	1.5	ns
tPHZ	输出高电平到高阻态延时	RL=100Ω, CL=5pF 图 4 和图 5		2.5	10	ns	
tPLZ	输出低电平到高阻态延时			2.5	10	ns	
tPZH	输出高阻态到高电平延时				2.5	10	ns
tPZL	输出高阻态到低电平延时				2.5	10	ns

注 1: 极限参数范围是器件的安全工作范围, 器件正常工作应在其工作条件标注的范围之内。

注 2: 流入器件的电流定义为正电流, 流出器件的电流定义为负电流, 表中显示的电压值均相对于地电压 0。

注 3: 所有典型值均在 VCC = +5.0V, TA = +25°C, CL = 5pF 下测得。

注 4: 通道传播延时差指的是芯片不同的四个通道之间的最大传播延迟差异

注 6: 一般测试时输入信号: f=1MHz, Zo=50Ω, tr 和 tf 小于等于 6ns

注 7: ESD: HBM (1.5 kΩ, 100 pF) ≥ 3500V

EIAJ (0Ω, 200 pF) ≥ 250V

注 8: 输出短路电流(IOS)大小指幅度, 负号表示电流方向,

注 9: 负载电容包括表笔和焊接电容

测试电路

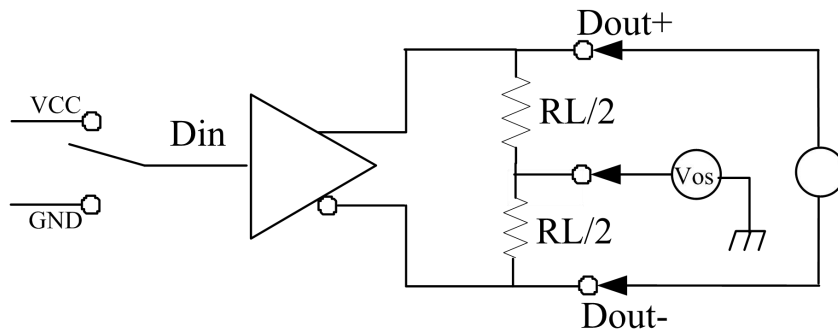


图1 Vod与Vos测试电路

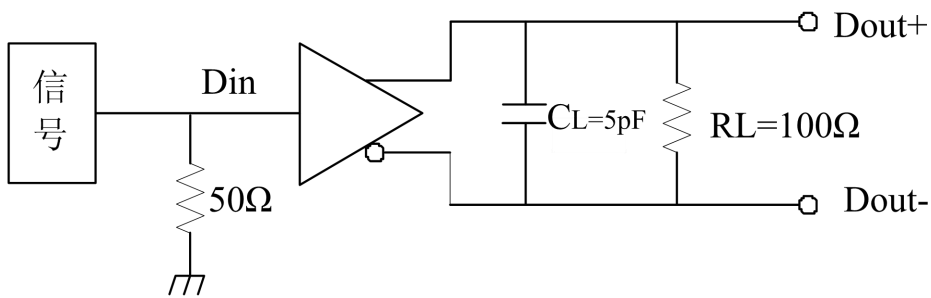


图2 传输延时和沿转变时间测试电路

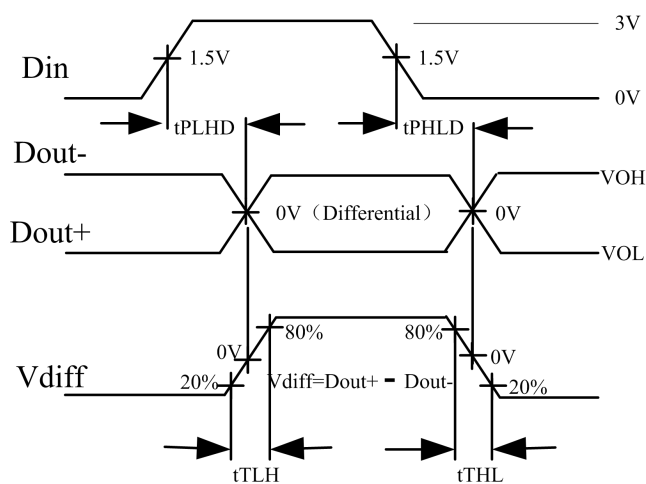


图3 传输延时和沿转变时间波形图

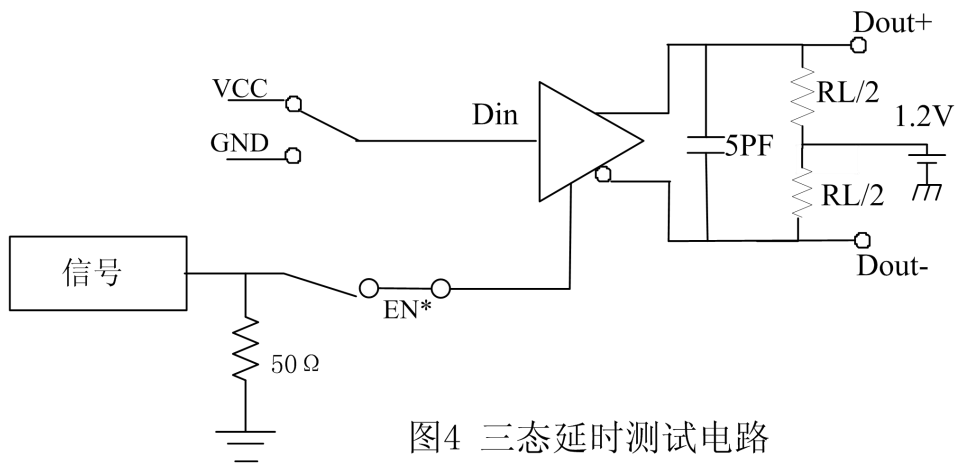


图4 三态延时测试电路

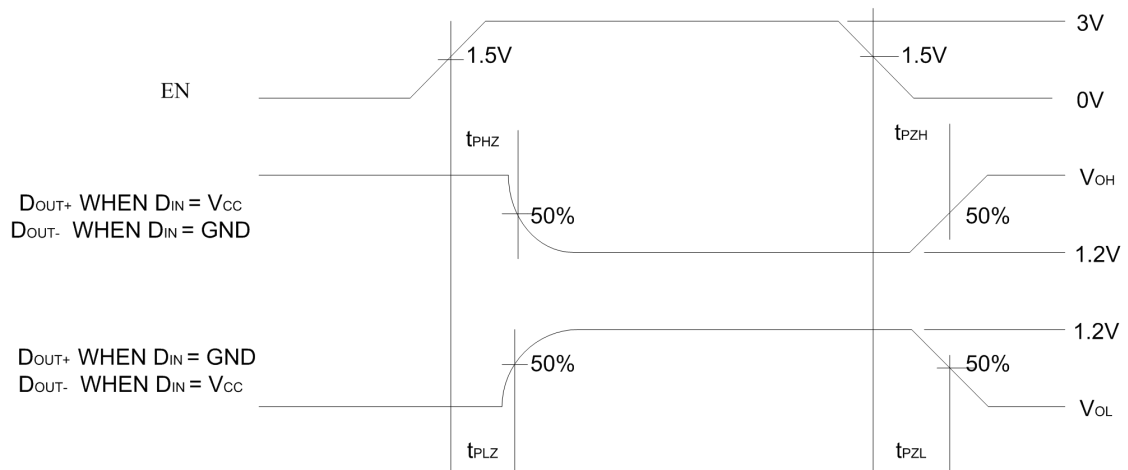
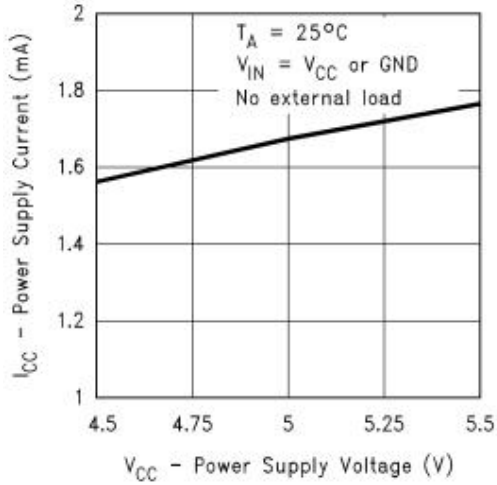


图5 三态状态触发波形

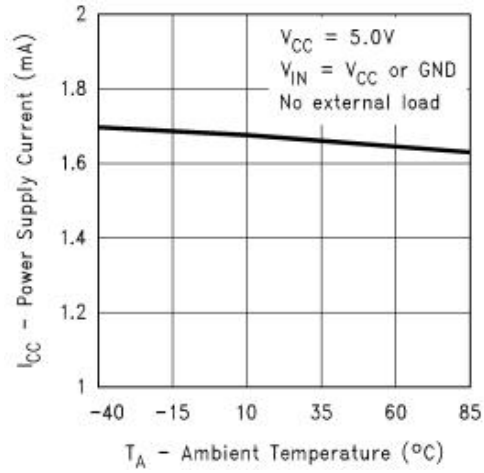


典型特性曲线

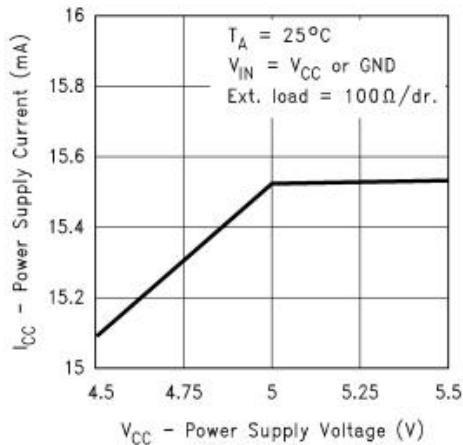
电流 VS 电压（无负载）：



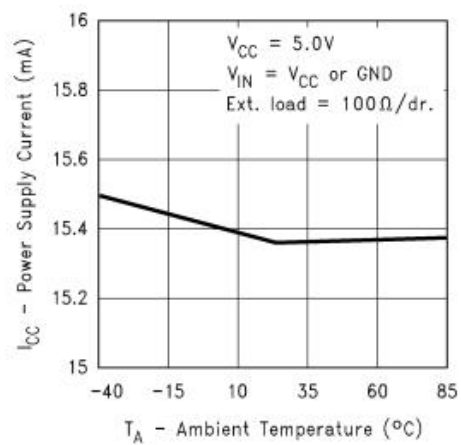
电流 VS 温度：（无负载）：



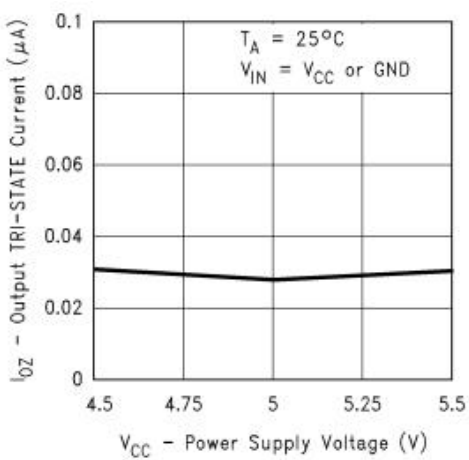
电流 VS 电压（100 $\Omega$ 负载）：



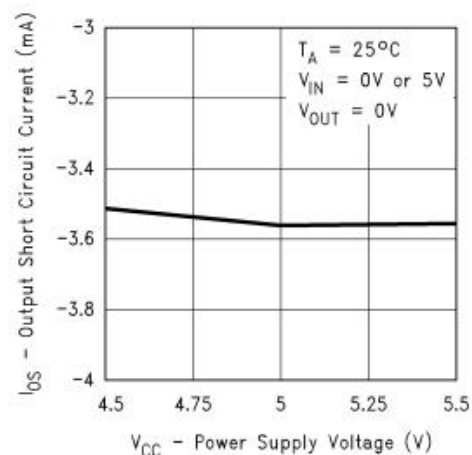
电流 VS 温度（100 $\Omega$ 负载）：



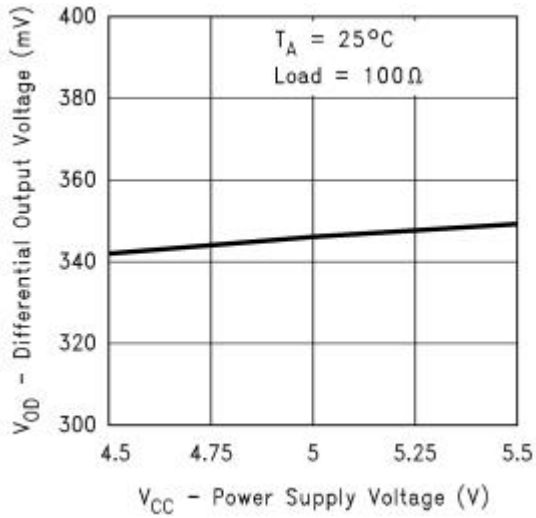
三态电流 VS 电压：



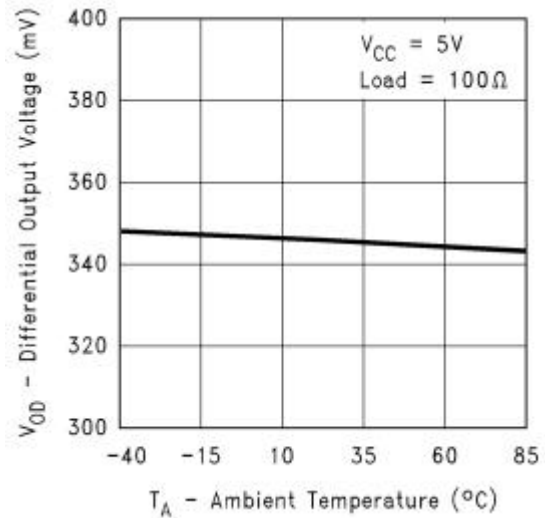
输出短路 VS 电压：



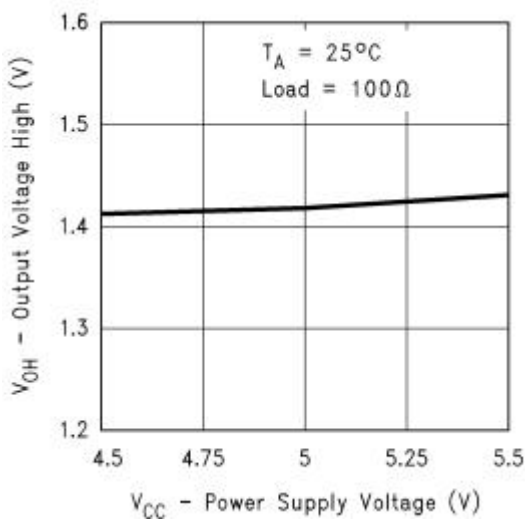
差分输出电压 VS 电源:



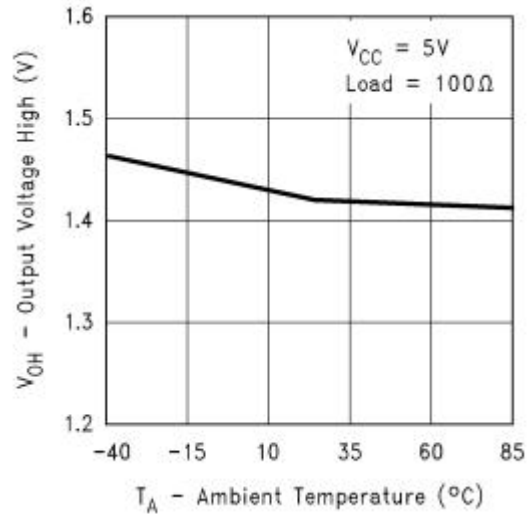
差分输出电压 VS 温度:



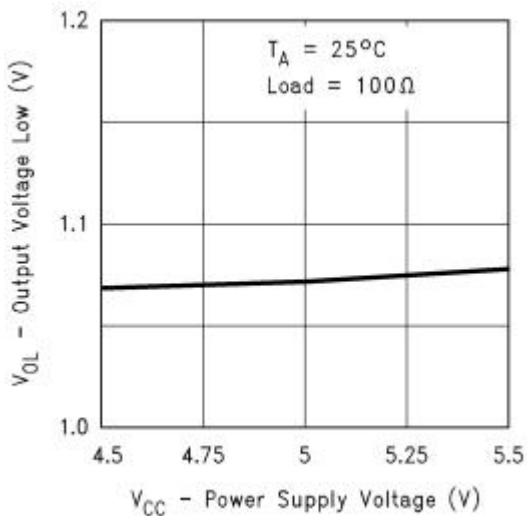
输出高电平 VS 电源:



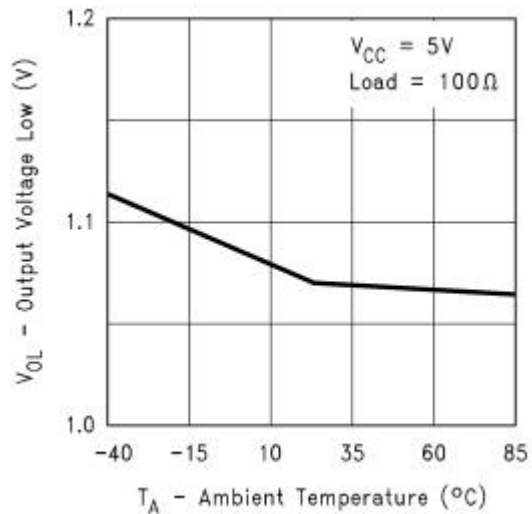
输出高电平 VS 温度:



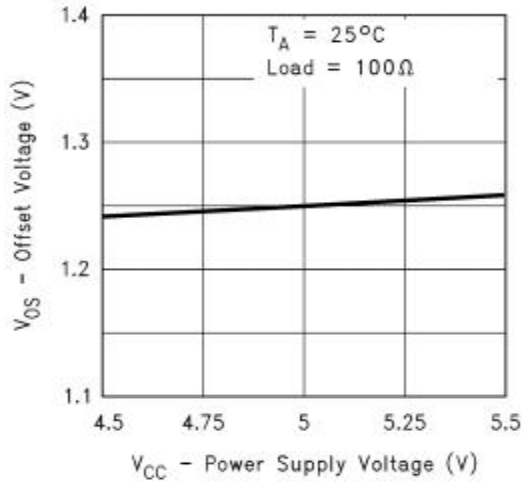
输出低电平 VS 电源:



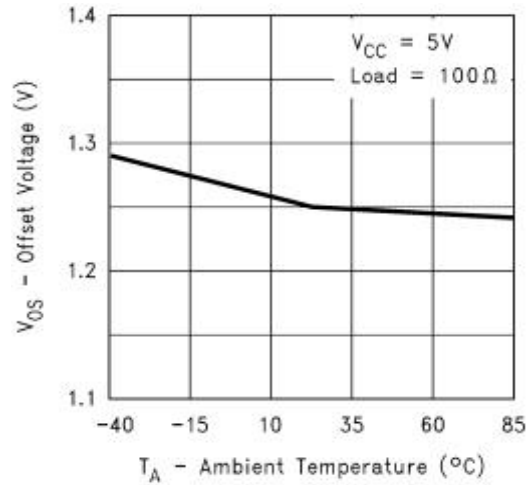
输出低电平 VS 温度:



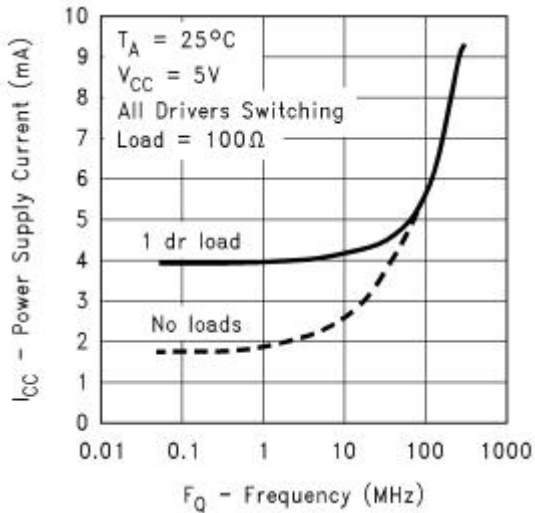
输出共模电平 VS 电源:



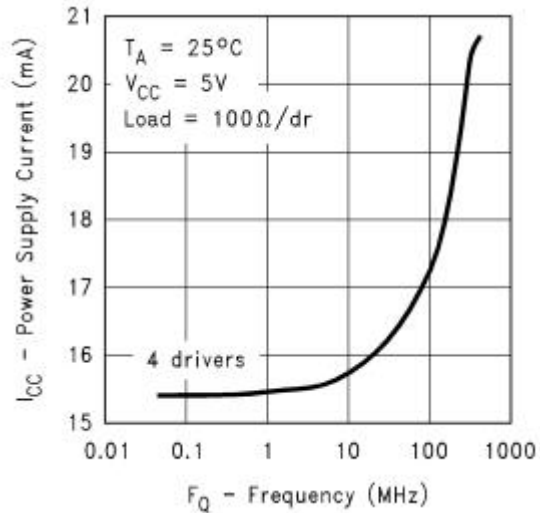
输出共模电平 VS 温度:



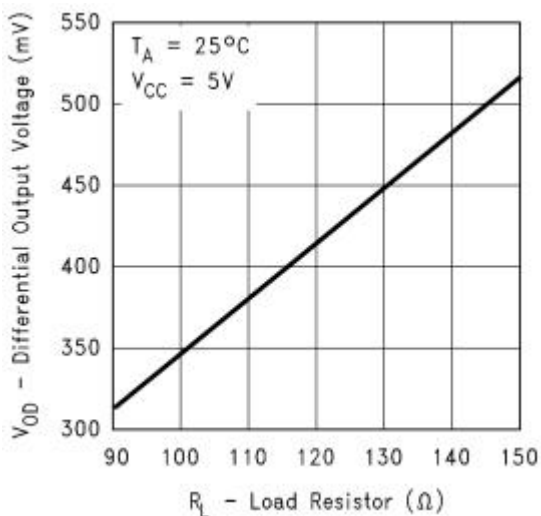
电流 VS 工作频率:



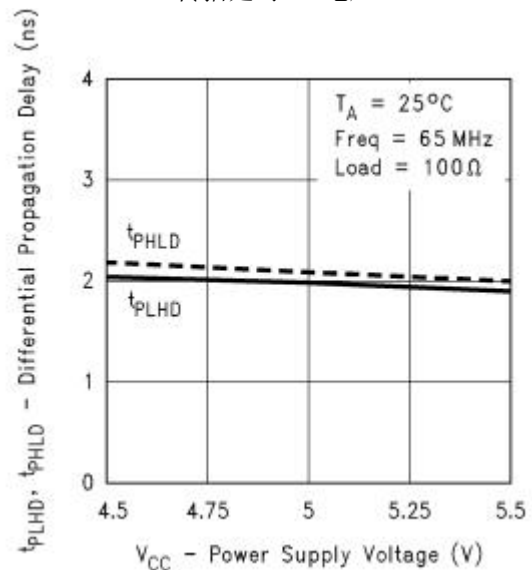
电流 VS 工作频率:



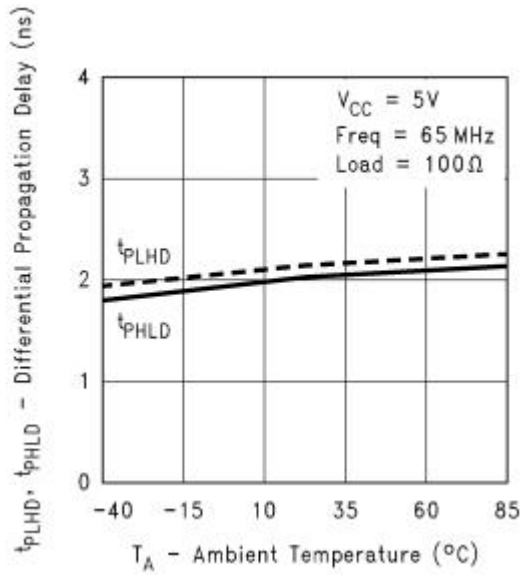
输出差分电压 VS 负载电阻:



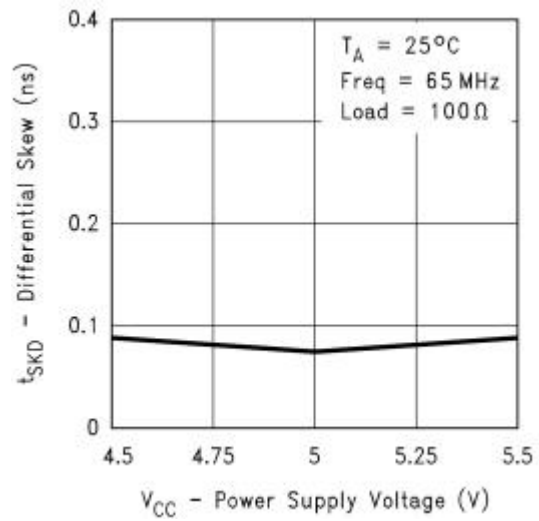
传播延时 VS 电压:



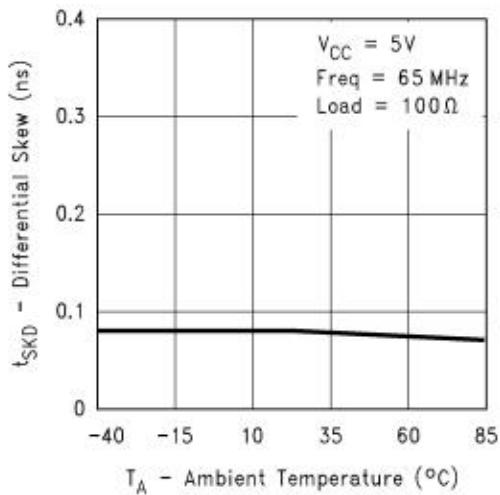
差分传播延时 VS 温度:



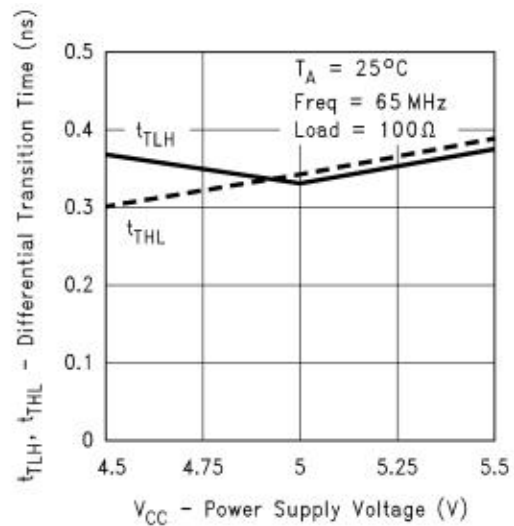
差分传播延时差异 VS 电压:



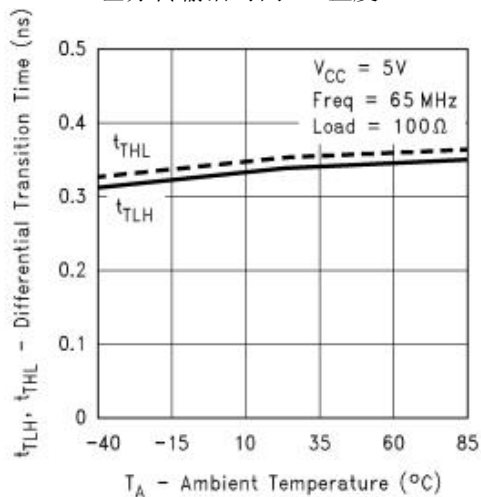
差分传播延时差异 VS 温度:



差分传输沿时间 VS 电压:



差分传输沿时间 VS 温度:



## 典型说明

LVDS 驱动和接受芯片主要应用于点对点结构中，这种结构为高速数据率信号提供了一个干净的传输通道，传输介质可以是双绞线、电缆、PCB 布线，典型的传输介质阻抗小于  $100\Omega$ 。为了匹配传输介质阻抗，应在差分输入端接  $100\Omega$  的端电阻，且距离器件输入端口越近越好，端电阻把电流信号转化为电压信号提供给接收器件。对于其他如多接受器结构，必须考虑中间连接器、电缆接口等阻抗匹配和噪声阈值范围。

MS2652D 差分总线驱动器设计为电流模式。电流模式的驱动器具有高输出阻抗，负载范围内输出恒定的电流（而电压模式驱动器则是在负载范围内输出恒定的电压）。当电流从负载的一个方向流过时产生逻辑高电平，从反方向流过时产生逻辑低电平。标称的输出电流为  $3.4\text{mA}$ ，最小  $2.5\text{mA}$ ，最大  $4.5\text{mA}$ 。系统工作时需要像图 6 接成一个环路。 $3.4\text{mA}$  的环路电流在接收端通过一个  $100\Omega$  的电阻产生一个  $340\text{mV}$  的差分电压，从而使得接收端具有  $240\text{mV}$  的噪声容限（驱动信号减去接收端阈值  $340\text{mV}-100\text{mV}=240\text{mV}$ ）。差分 LVDS 信号共模点为  $1.2\text{V}$  ( $V_{os}$ ) 对地。图 7 标明稳态电压 ( $V_{ss}$ ) 峰峰值时差分电压 ( $V_{od}$ ) 的两倍 ( $680\text{mV}$ )

电流模式驱动器从工作原理上就优于电压模式的驱动器如 RS-422. 电流驱动器可以在在宽的频率范围内提供稳定的输出电流，而像 RS422 的输出电压在  $20\text{MHz}\sim 40\text{MHz}$  范围内就衰减明显。这是因为电压模式的驱动器内部门电路的开关电流变化导致，而电流模式的输出电流固定。这有点类似于 ECL 与 PECL 器件的工作模式，但少了 ECL 与 PECL 的那么大的电流。LVDS 需要电流比起类似的 PECL 电路可能少于  $80\%$ ，而交流特性 10 倍优于 RS-422 类型电压驱动器。当输入悬空时，内部保护电路保证输出为逻辑‘0’（真实的输出一端为低电平，另一端为高电平）。三态输出功能可以实现输出高阻态，从而使得驱动器在不工作时降低功耗。

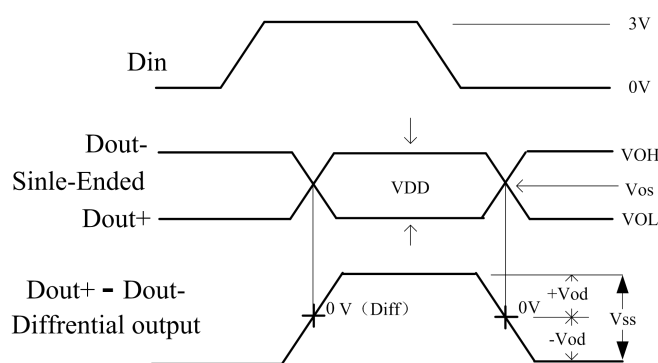
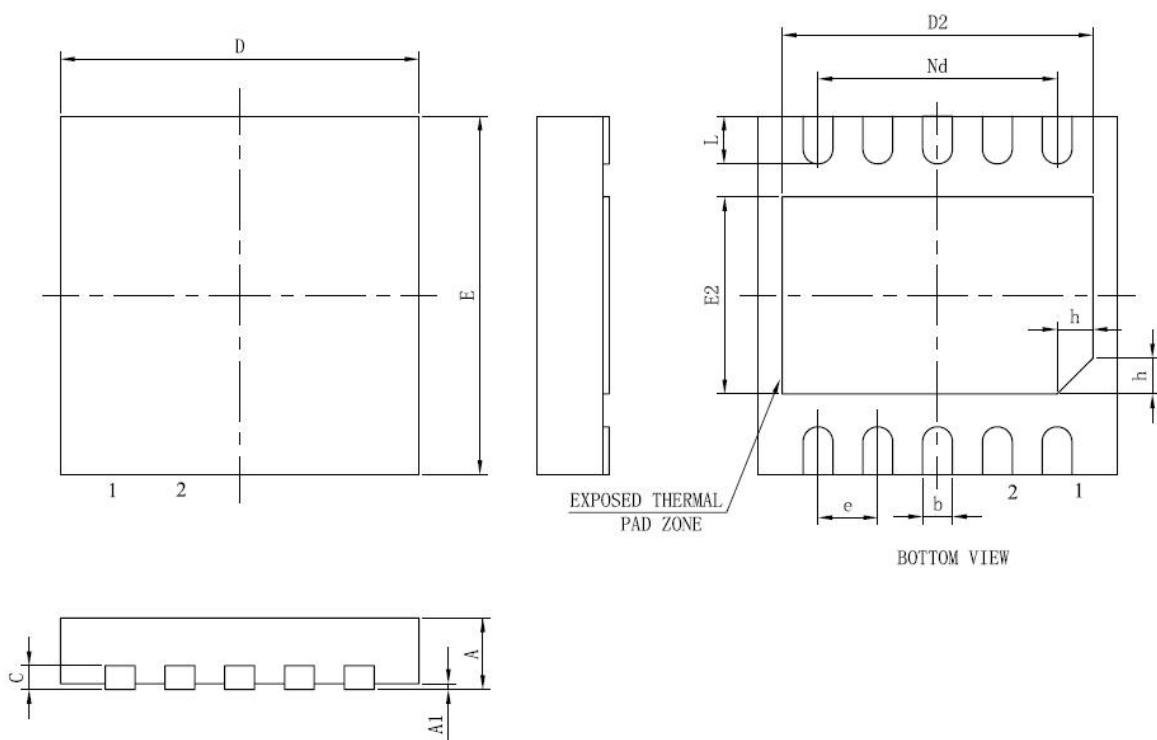


图7 驱动器输出电平

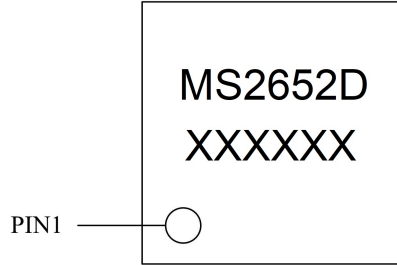
封装外形图



符号	毫米		
	最小	典型	最大
A	0.70	0.75	0.80
A1	--	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	2.90	3.00	3.10
D2	2.40	2.50	2.60
e	0.50BSC		
Nd	2.00BSC		
E	2.90	3.00	3.10
E2	1.45	1.55	1.65
L	0.30	0.40	0.50
h	0.20	0.25	0.30

## 包装规范

### 一、印章内容介绍



MS2652D: 产品型号

XXXXXX: 生产批号

### 二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

### 三、包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS2652D	DFN10	3000	1	3000	8	24000



MOS电路操作注意事项：

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。